

經濟部智慧財產局發明特許（初審）查定（拒絕理由）書

受文者：三菱電機株式会社（代理人：賴 經 臣 氏）

住 所：台北市南京東路三段 3 4 6 号 白宮企業大樓第 1 1 1 2 室

發文日：2 0 0 2 年 8 月 1 3 日

發文番号：〈9 1〉智專二（一）04074 字第 0 9 1 8 3 0 1 4 0 8 4 号

1. 出 願 番 号：0 9 0 1 1 9 7 4 9 專利分類 IPC (7)：H03L 7/06
2. 發明の名称：ディレイロックドループ、半導体装置およびクロック同期により動作するシステムのための制御方法

3. 出願人名称：三菱電機株式会社

住 所：日本

4. 代理人氏名：賴 經 臣 氏

住 所：台北市南京東路三段 3 4 6 号 1 1 1 2 室

5. 出 願 日 付：2 0 0 1 年 8 月 1 3 日

6. 優先権項目：1 2000/12/19 日本 2000-385020

7. 審査官姓名：陸 家 樑 委員（審査官）

8. 審査決定の内容：

主文：本願の發明特許を拒絕する。

根拠：專利法（特許法）第 2 0 条第 2 項

理由：（後記）

注：◇不服の場合、本文書送達の日から 3 0 日以内に再審査理由書一式二部と規定費用 NT\$6,000（特許明細書及び図面の合計が 5 0 頁以上のものは、5 0 頁毎に NT\$ 500 を加算徴収し、ここで 5 0 頁に満たないものは 5 0 頁として計算する）を揃えて本局に再審査を請求することができる。

理 由：

- （一） 本願「ディレイロックドループ、半導体装置およびクロック同期により動作するシステムのための制御方法」は、ディレイロックドループにおいて遅延レジスタとしてグレイコードカウンタを用い、キャリーを 1 ビットしかたてないないようにすることで、メタステーブル状態時にも遅延時間の飛びを最小にできる。
- （二） 本願のディレイロックドループは遅延回路、検出器、グレイコードカウンタより構成される。第 1 クロックを遅延した後第 2 クロックを出力し、そして検出器によって第 1 と第 2 クロックの位相差を検出し、この位相差はさらに遅延回路の遅延量を調整する信号を発生するグレイコードカウンタに提供される。審査によると、2000 年 4 月 11 日の專利公告第 387065 号特許案「時序信號產生電路、應用此時序信號產生電路之半導體積體電路裝置與半導體積體電路系統、及信號傳輸系統」（添付資料のとおり）において、タイミングによって n 個のクロックを調整し、さらに第 1 クロックと第 2 クロックの位相差をタイミング調整裝置に提供するとともに位相イ

続葉

ンターポレータにも提供し、ディレイロックと調整をすることが開示されている。両願れはいずれも第 1, 第 2 クロックの位相差によって遅延回路の調整を行っており、その機能に大差はない。本願の相違点はグレイコードの応用を特に示していることにあるが、その応用技術は先願と同一である、故に進歩性を備えていない。

- (三) 上記を総合し、本願は出願前に既存する技術又は知識を運用したものであつて、当該技術に習熟する当業者が容易に完成し得るものである、故に発明特許要件に符合しているとは言い難い。

上記に基づいて論決し、本願は法定の特許要件に適合していないので、ここに専利法（特許法）第 20 条第 2 項により主文のとおり査定した。

局長 陳 明 邦

NOTICE OF GROUND OF REJECTION

Applicant : Mitsubishi Denki Kabushiki Kaisha
Attorney : Union Patent Service Center
Pat. Appln. No. : 090119749
Title of the Invention : Delay Locked Loops, Semiconductor Device,
and Control Methods for Systems Operating
in Synchronization with a Clock

Grounds

(1) The present invention can use a gray code counter in a DLL as a delay register and allows a carry to arise only at one bit to also minimize skipping of a delay time in a meta-stable state.

(2) The present DLL is comprised of a delay circuit, a detector, and a gray code counter. A first clock is delayed and a second clock is then output. The detector detects the phase difference between the first and second clocks and the phase difference is provided to the gray code counter, which generates a signal adjusting an amount of delay of the delay circuit. Patent Publication No. 387065 dated April 11, 2000 discloses that n clock signals are adjusted, as timed, and furthermore the phase difference between first and second clocks is provided to a timing adjustment device and also to a phase interpolator to provided delay-locked adjustment. The both inventions use the phase difference between first and second clocks to adjust a delay circuit. They are therefore functionally not significantly different. Although the subject application particularly indicates a difference, i.e., that a gray code is applied, its technique to apply the code is identical to earlier application and therefore unpatentable.

(3) In view of the above, the present invention would have been obtained from techniques or knowledge that had existed before the subject application was filed, and the invention would have readily been achieved by those skilled in the art. It thus fails to satisfy the requirement.

Commissioner 陳明邦

2002年08月22日

深見特許事務所 御中

聯合專利商標事務所
中華民國台灣
台北市南京東路三段346号1212室
弁理士 賴 經臣
電話 : 886-2-2721-1306
FAX : 886-2-2752-1800
886-2-2711-5984



貴方 Case No.: 900558-04
三菱 Case No.: 528346TW01
当方 Case No.: TF 905531

FAX送信

5枚

件 名 : 台湾特許出願初審査定書の件
出 願 番 号 : 90119749
出 願 人 : 三菱電機株式会社
発 明 名 称 : ディレイロックドループ、半導体装置およびクロック同期により動作する
システムのための制御方法

拝啓 貴所益々ご清栄のこととお喜び申し上げます。

さて、かねてご依頼賜りました首記出願について、智慧財産局より下記書類が参りましたので、同封にてお送り申し上げます。

以上、ご報告申し上げます。

敬具

記

(報告事項)

本件の次の手続は、下記の通りでございますので、何れを取るか、又は放棄するかを
2002年09月06日迄にご指示下さるようお願い申し上げます。

手続事項 : 再審査請求

期限 : 2002年09月13日、延期不可。(ただし、理由書は再審査提起後3ヶ月以内までに補充可能です。また必要ある場合、更に3ヶ月の延期請求ができます。)

又は、

実用新案へ変更、または分割請求

期限 : 2002年09月13日。(実用新案への変更期限は、1. 再審査請求を提起し、再審査拒絶査定の文書送達の日から30日以内であれば、いつでも可能です。2. 再審査請求を提起して、同時に実用新案へ変更するか、分割を請求する。)

添付書類 : ①智慧財産局初審査定書および訳文 各3通
②請求書 2通
③弊所コメント 別紙

以上

別紙

貴方 Case No.: 900558-04

三菱 Case No.: 528346TW01

当方 Case No.: TF 905531

出願番号 : 90119749

弊事務所コメント

1. 智慧財産局 (IPO) は進歩性なし (即ち、専利法第 20 条第 2 項による) の理由で本願を拒絶しました。その論述を支持するための引例は台湾特許公告第 387065 号 (以下、引例という) です。その優先権を主張する対応案は、①特願平 9-155429 (特開平 11-003587)、②特願平 10-2254、③特願平 10-79401 (特開平 11-275066) および④特願平 10-135610 (特開平 11-261408) があります。
2. IPO による指摘理由を初歩的に検討すると、どの請求項が拒絶されているかは不明ですが、拒絶理由から見れば請求項 1 の可能性が高いと思われます。
又、局の指摘は不合理だと思われますので、当所の見解を以下のように述べます。
 - 1) 本願は、クロック発生時に不連続な遅延時間の飛びを最小化することを目的とするものです。しかし、引例では本発明のような目的を全く開示または教示しておりません。
 - 2) 本願のクレーム 1 に記載した「検出器の出力に応じて遅延回路の遅延量を調整する信号を発生する、グレイコードを用いたグレイコードカウンタ」の構成要件は、引例に何らの開示または示唆も全くありません。
 - 3) 引例の技術特徴は、「 n クロックにおける第 1 のクロックの第 1 の所定クロックから n クロックにおける第 2 のクロックの第 2 の所定クロックまでの間、制御コマンドをアクティブにすることにより DRAM 制御信号を生成する」ですが、本願と一致する箇所はありません。
3. 再審査を提起しようとする場合、当所の上記意見を参照するほかに、以下の対策をお勧め致します。
 - 1) 引例は本願での発明の目的、構成、作用効果と異なる具体的な理由を主張し、かつ、本願は「顕著的な進歩」または「突破的な技術特徴」を有する箇所を強調して下さい。
 - 2) 更に本願と引例との相違点を容易に区別するために、適宜に現在のクレームを補正することを考慮してもよい。(例えば、ある従属項を独立項に合併)
 - 3) 本願に対応する出願は、すでに日本国を含む国外で出願し、かつ特許を取得しました場合、進歩性がある証拠とするために、それらの公報資料を一部当所にご送付して下さい。
4. 当然、出願人三菱電機株式会社様によりよい見解がございましたら、その見解をもとに再審査理由書を作成致します。
5. 上記のように、現時点は、実用新案へ変更する必要はないと思われます。しかし、現時点で実用新案への変更を考慮する場合、依然として原査定に対する補充説明を提出して下さい。IPO は原査定と同じ理由および引例で変更後の実用新案をまた草々に拒絶することがよくあるからです。それとともに、本願の方法項の発明 (クレーム) を削除また分割請求にするようにお勧め致します。

經濟部智慧財產局專利核駁審定書

受文者：三菱電機股份有限公司（代理人：賴經臣 先生）

地址：台北市南京東路三段三四六號一一二室

發文日期：中華民國九十一年八月十三日

發文字號：（九一）智專二（一）04074字

第〇九一八三〇一四〇八四號

一、申請案號數：〇九〇一一九七四九

專利分類IPC(7)：H03L 7/06

二、發明名稱：延遲鎖定迴路，半導體裝置及依時脈同步而動作之系統用控制方法

三、申請人：

名稱：三菱電機股份有限公司

地址：日本

四、專利代理人：

姓名：賴經臣 先生

地址：台北市南京東路三段三四六號一一二室

五、申請日期：九十年八月十三日

六、優先權項目：

1 2000/12/19 日本2000-385020

期限	起算
91年9月13日前	91年8月14日
特許	檢核
改新案	

AUG 19 2002



七、審查人員姓名：陸家樑 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「延遲鎖定迴路，半導體裝置及依時脈同步而動作之系統用控制方法」係在延遲鎖定迴路中，使用格雷計數器作為延遲暫存器，使進位只發生在一個位元，即使介穩態狀況時亦可使延遲時間之跨越為最小。

(二) 本案的延遲鎖定迴路是以延遲電路、檢測器、格雷碼計數器所組成。使第一時脈延遲後藉以輸出第二時脈，再經由檢測器檢測第一和第二時脈之相位差，此相位差再提供給格雷碼用來產生調整延遲電路之延遲量的信號。經查八十九年四月十一日專利公告第三八七〇六五號專利案「時序信號產生電路、應用此時序信號產生電路之半導體積體電路裝置與半導體積體電路系統、及信號傳輸系統」（如附件）即揭示出以時序調整出 n 個時脈，再以第一時脈和第二時脈之相位差提供給時序調整裝置，並提供相位內插器，做為延遲鎖定和調整。兩案皆是以第一、第二時脈之相位差進行延遲電路的調整，其功能相當。本案所不同者是專指在格雷碼的應用上而其應用技術與前案相同，故並不具有進步性。



(三) 綜上所述，本案係運用申請前既有之技術或知識，而為熟習該項技術者所能輕易完成者，難謂符合發明專利要件。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長
陳明邦

依照分層負責規定授權單位主管決行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

[11]公告編號：387065

[44]中華民國 89年 (2000) 04月 11日

[51] Int.Cl 06: G06F1/10
H01L27/10

發明

第 90119749 號 4頁
初審 (訴願) 引証附件
再審

[54]名稱：時序信號產生電路、應用此時序信號產生電路之半導體積體電路裝置
與半導體積體電路系統、及信號傳輸系統

[21]申請案號：087109230

[22]申請日期：中華民國 87年 (1998) 06月 10日

[30]優先權：[31]155429

[32]1997/06/12

[33]日本

[31]2254

[32]1998/01/08

[33]日本

[31]79401

[32]1998/03/26

[33]日本

[31]135610

[32]1998/05/18

[33]日本

[72]發明人：

田村泰孝

日本

荒木久勝

日本

若山繁俊

日本

後藤公太郎

日本

小川淳二

日本

[71]申請人：

富士通股份有限公司

日本

[74]代理人：俾軼群 先生

陳文郎 先生

1

2

[57]申請專利範圍：

- 1.一種半導體積體電路裝置，其具有一供依據一所供應之控制信號以發出一控制命令的命令解碼器、一 DRAM 核心，以及一時序調整電路，用以供應該控制命令，其於一預定期間內被設定為有效，做為對該 DRAM 核心之一 DRAM 控制信號；其中該時序調整電路產生n個不同的時脈，其係相對於一被供應之參考時脈分別地在相位上移動，並且藉由設定一指定運作週期內之該控制信號，僅於自該n個時脈中之一第一時脈之一第一預定時脈脈衝開始，至該n個時脈中之一第二時脈之一第二預定時脈脈衝為止的一段期間內為有效的，以產生該 DRAM 控制信號。
- 2.如申請專利範圍第1項所述之半導體積體電路裝置，其中該時序調整電路包括一邏輯閘，供使該產生之 DRAM 控制信號僅於該控制命令被發出之期間內可

以被輸出。

- 3.如申請專利範圍第1項所述之半導體積體電路裝置，其中該半導體積體電路裝置包括供存取該 DRAM 核心之一 MPU。
- 5.如申請專利範圍第1項所述之半導體積體電路裝置，其中該時序調整電路包括：
 - 一供計數該第一時脈之第一計數器；
 - 一供計數該第二時脈之第二計數器；以及
 - 一時序緩衝電路，供藉由設定該控制命令於一段自該第一計數器之該計數值達到一第一值的時候開始，並持續至該第二計數器之該計數值達到一第二值的時候為止的期為活化，以產生該 DRAM 控制信號。
- 5.如申請專利範圍第4項所述之半導體積體電路裝置，其中該第一計數器和該第二計數器為迴路計數器。